

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-55425

(43) 公開日 平成9年(1997)2月25日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L	21/768		H 01 L	21/90
	21/312			21/312
	21/316			21/316
	21/3205			21/88
				N

審査請求 未請求 請求項の数9 O.L (全11頁)

(21) 出願番号 特願平7-204527

(22) 出願日 平成7年(1995)8月10日

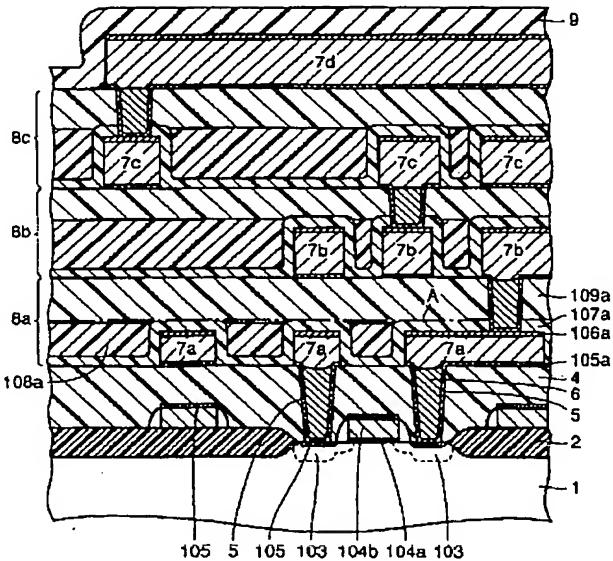
(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72) 発明者 百武 康仁
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 多層A1配線構造を有する半導体装置およびその製造方法

(57) 【要約】

【課題】 平坦度が高く、高精度のパターンを有し、かつ高信頼度を有する半導体装置を得ることを最も主要な特徴とする。

【解決手段】 半導体基板1の上に第1のA1配線7aが設けられる。第1のA1配線7aを覆うように半導体基板1の上に層間絶縁膜8aが設けられる。層間絶縁膜8aの上に第2のA1配線7bが設けられる。層間絶縁膜8aは、第1のA1配線7aを被覆するように半導体基板1の上に設けられる第1のシリコン酸化膜107aと、第1のシリコン酸化膜107aの表面の凹部に埋込まれるように設けられた第2のシリコン酸化膜108aとからなる。層間絶縁膜8aの表面の、半導体基板1の表面からの高さは、1チップ内の全体にわたって、等しくされている。



1: 半導体基板 7a: 第1のA1配線 7b: 第2のA1配線
8a: 層間絶縁膜 107a: 第1のシリコン酸化膜
108a: 第2のシリコン酸化膜

1

2

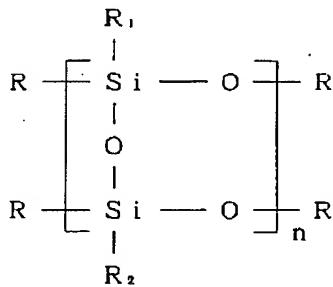
【特許請求の範囲】

【請求項1】 半導体基板と、
前記半導体基板の上に設けられた第1のA1配線と、
前記第1のA1配線を覆うように前記半導体基板の上に
設けられた層間絶縁膜と、
前記層間絶縁膜の上に設けられた第2のA1配線と、を
備え、
前記層間絶縁膜は、前記第1のA1配線を被覆するよう
に前記半導体基板の上に設けられた第1のシリコン酸化
膜と、
第1のシリコン酸化膜の表面の凹部に埋込まれよう、
該第1のシリコン酸化膜の上に設けられた第2のシリコ
ン酸化膜とからなり、
前記層間絶縁膜の表面の前記半導体基板の表面からの高
さは、1チップ内の全体にわたって、等しくされてい
る、多層A1配線構造を有する半導体装置。

【請求項2】 前記第2のシリコン酸化膜は、水素原
子、低級アルキル基、ビニル基、アリル基およびおよび
フェニル基からなる群より選ばれた基を3~70モル/
%含む、請求項1に記載の、多層A1配線構造を有する
半導体装置。

【請求項3】 前記第2のシリコン酸化膜は、下記一般
式

【化1】



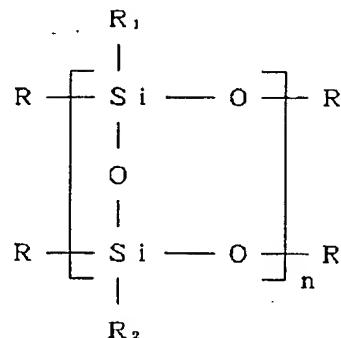
(式中、R, R₁, R₂は、それぞれ、水素原子、低級
アルキル基、ビニル基、アリル基およびフェニル基から
なる群より選ばれた基を表わし、nは整数を表わしてい
る。)で示される化学構造を有するシリコンラーダーポリ
マーから形成される、請求項1に記載の多層A1配線構
造を有する半導体装置。

【請求項4】 前記整数nは、前記シリコンラーダーポリ
マーの重量平均分子量が2,000~200,000と
なるように選ばれている、請求項3に記載の、多層A1
配線構造を有する半導体装置。

【請求項5】 その上に第1のA1配線が設けられた半
導体基板を準備する工程と、
前記第1のA1配線を覆うように前記半導体基板の上に
プラズマCVD法により、第1のシリコン酸化膜を形成
する工程と、
前記第1のシリコン酸化膜の上にシリコンラーダーポリ
マー膜を被覆する工程と、

10

【化2】



(式中、R, R₁, R₂は、それぞれ、水素原子、低級
アルキル基、ビニル基、アリル基およびフェニル基から
なる群より選ばれた基を表わし、nは整数を表わしてい
る。)で示される化学構造を有するシリコンラーダーポリ
マーを含む、請求項5に記載の多層A1配線構造を有する
半導体装置の製造方法。

【請求項7】 前記整数nは、前記シリコンラーダーポリ
マーの重量平均分子量が2,000~200,000と
なるように選ばれている、請求項5に記載の、多層A1
配線構造を有する半導体装置の製造方法。

【請求項8】 前記シリコンラーダーポリマー膜を熟処理
した後、前記第2のシリコン酸化膜の形成に先立ち、前
記シリコンラーダーポリマー膜をエッチバックする工程を
さらに備える、請求項5に記載の、多層A1配線構造を
有する半導体装置の製造方法。

【請求項9】 前記シリコンラーダーポリマー膜のエッチ
バックは、前記第1のシリコン酸化膜の表面の一部が露
出し始めるまで行なわれる、請求項8に記載の、多層A
1配線構造を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、一般に、多層金
属配線構造を有する半導体装置に関するものであり、よ
り専門的には、層間絶縁膜の平坦性が改善された、多層
金属配線構造を有する半導体装置に関する。この発明
は、また、そのような多層金属配線構造を有する半導体
装置の製造方法に関する。

【0002】

【従来の技術】 近年、ダイナミックランダムアクセスメ

50

モリ（DRAM）やマイクロプロセッサユニット（MPU）等に代表される半導体装置は、微細化と高集積化の一途を辿っている。特にMPUに代表されるロジック系の半導体装置には、特に演算スピードの高速化の要求が強く、このために、素子間を相互に繋ぐ電極配線の多層化の技術が必須となってきている。

【0003】図9は、従来のロジックデバイスの断面図である。図9を参照して、従来のロジックデバイスは、P型のSi単結晶からなる半導体基板101を備える。半導体基板101の主表面中に、活性領域を他の活性領域から分離するためのフィールド酸化膜102が設けられている。活性領域には、N型の不純物がドープされたソース／ドレイン領域103が設けられている。活性領域にはまた、ゲート酸化膜104aと、CVD法（化学気相成長法）により形成されたポリシリコンからなるゲート電極104bが形成されている。なお、高性能が要求されるデバイスにおいては、コンタクト抵抗を低減する目的で、ソース／ドレイン領域103上に、サリサイド層105が設けられている。サリサイド層105は、自己整合的に形成された金属シリサイド層（通常はTiSi₂, CuSi₂, NiSi₂等）からなる。また、ゲート電極104bの抵抗を下げる目的で、ゲート電極104b上にも、サリサイド層105が設けられている。

【0004】ソース／ドレイン領域103、ゲート酸化膜104a、ゲート電極104bおよびサリサイド層105より、MOS（メタルオキサイドセミコンダクタ）トランジスタ401が形成される。MOSトランジスタ401上には、トランジスタ間を相互に繋ぐための金属配線が、1層もしくは、必要に応じて多層形成される。図9に示すロジックデバイスにおいては、金属配線が4層である場合が例示されている。

【0005】MOSトランジスタ401を覆うように、半導体基板101の上に、BPSG（ボロンおよびリンの入ったシリケートガラス）等からなる層間絶縁膜106が設けられている。層間絶縁膜106中に、ソース／ドレイン領域103の表面の一部を露出させるためのコンタクトホール107が設けられている。コンタクトホール107内に、Wプラグ108bが、ソース／ドレイン領域103に、バリアメタル108aを介在させて、接続されるように、埋込まれている。Wプラグ108bに接触するように、層間絶縁膜106上に、配線109が設けられている。なお、A1合金配線109を精度よく、微細に、パターニングするために、通常、たとえば、TiN等からなる反射防止膜110が、A1配線109上に形成されている。

【0006】コンタクトホール107、A1系合金配線109、および反射防止膜110を組合せたものを、以下、第1のA1配線402という。第1のA1配線402を覆うように、層間絶縁膜106上に、プラズマCVD

D法により、シリコン酸化膜111を形成する。シリコン酸化膜111の表面の凹部を埋込むように、スピノングラス（以下SOGと略する）と呼ばれるシリコン酸化膜112が設けられている。シリコン酸化膜111の上に、2層目の、プラズマCVD法によって形成されたシリコン酸化膜113が設けられている。シリコン酸化膜111、シリコン酸化膜112、シリコン酸化膜113の組合せにより、電気的に、耐圧の高い、かつ平坦性の良好な、第1の層間絶縁膜403が形成される。

【0007】以下、同様にして、第2のA1配線404、第3のA1配線406、第4のA1配線408、および第2の層間絶縁膜405、第3の層間絶縁膜407が設けられる。最上層のA1配線（図9中における第4のA1配線408）上には、保護膜として、プラズマCVD等によって形成された、シリコン酸化膜、シリコン窒化膜、またはその複合膜からなるバッシャーション膜117が形成されている。

【0008】

【発明が解決しようとする課題】次に、従来の多層配線を有する半導体装置において生じていた問題点を説明する。

【0009】図9を参照して、参考番号410で示した、急峻な段差部において、タンゲステンのエッチバック時の残渣および、A1配線のパターンを形成するためのエッチング時の残渣が発生しやすくなる。このようなメタル系の残渣は、配線間の電気的なショートを引起し、不良の半導体装置を生成する。

【0010】また、図9中、参考番号411で示したように、一部のA1配線に、細りや、断線もしくは太りによるショートが発生する（図9中には、細りの場合が示されている）。このような細りが発生する原因是、段差が、転写時の焦点深度をオーバーし、転写時の焦点深度のオーバーにより、所望のレジストパターンが得られないことに起因する。

【0011】また、図9中参考番号412で示したように、下層と上層のA1配線を接続するピアホールに、開口不良が発生し、ひいては、良好な電気的接続が得られない。これも、段差が転写時の焦点深度をオーバーし、所望のレジストパターンが得られないことに起因する。

【0012】以下、上述した問題点が、いかにして発生するかを、図9に示す半導体装置の製造フローを用いて説明する。

【0013】図10を参照して、P型のシリコン基板101の主表面中に、フィールド酸化膜102、ソース／ドレイン領域103、ポリシリコンからなるゲート電極104、TiSi₂、CoSi₂等からなるサリサイド層105、BPSGからなる層間絶縁膜106を形成する。層間絶縁膜106中に、ソース／ドレイン領域103の表面の一部を露出させるためのコンタクトホール501を形成する。コンタクトホール501は、転写技術

およびエッチング技術を用いて、形成される。

【0014】図11を参照して、コンタクトホール501を通って、ソース／ドレイン領域103に接触するよう、シリコン基板101の上に、スパッタ法により、たとえば、TiNよりなるバリアメタル502を形成する。バリアメタル502は、シリコン基板との良好なオーミックコンタクトを取ること、および、次工程のW層と下地層間絶縁膜との密着性を向上させるための、アドヒージョン層として作用する。コンタクトホール501内に埋込まれるように、バリアメタル502上に、CVD法を用いて、W層503を形成する。W層503の膜厚を、少なくともコンタクトホール501の半径以上にすることにより、W層503は、コンタクトホール501内に完全に埋込まれる。

【0015】図11と図12を参照して、W層503を、SF₆等のガスを用いて反応性イオンエッチング法(RIE法)により、全面に、エッチバックする。このエッチバックは、バリアメタル層502の表面が現れた時点で止めることにより、コンタクトホール501内のみW層が残るタンクステンプラグ504が形成される。タンクステンプラグ504を形成した後、スパッタ法により、A1系合金層505を、シリコン基板101の上に形成する。

【0016】A1系合金505は、一般的に、A1-0.5wt%Cu, A1-1wt%Si-0.5wt%Cu等の合金が使用される。Cuを少量添加する理由は、配線のエレクトロマイグレーション耐性を向上させるためである。A1系合金層505の上に、TiN等の反射防止膜506を形成する。反射防止膜506は、A1配線を形成するための転写時のハレーションを防止し、ひいては高精度な微細配線を形成するためのものである。なお、反射防止膜506の適切な膜厚は、露光装置(光源の波長)およびレジストに依存するが、一般に200~600Å程度である。

【0017】図13を参照して、Cl₂等のガスを用いるRIE技術により、第1のA1配線507を形成する。その後、プラズマCVD法により、第1のアルミニ配線507を覆うように、シリコン基板101の上に層間絶縁膜508を形成する。層間絶縁膜508は、テトラ・エチル・オルソ・シリケート(Si(OCH₃)₄) (以下、TEOSと略す。) およびO₂を用いたプラズマCVD法により形成される。この膜は、シラン(SiH₄)とO₂を用いるプラズマCVDにより形成された膜に比べて、段差被覆性が優れる。

【0018】図14を参照して、SOG(509)が、シリコン基板101の上に塗布され、かつ焼成される。SOGは、溶媒であるアルコール中に、たとえばシラノール(Si(OH)₄)が溶けた材料である。SOGは、塗布された後焼成されることによって、シリコン酸化膜(以下、SOG層という)となる。SOGは、塗布

時には、液体であるため、パターンの溝の部分に、優先的に埋込まれる。その結果、溝部分に優先的にシリコン酸化膜が形成されるので、平坦性が改善される。

【0019】図14と図15を参照して、SOG層509を、CF₄+CHF₃+O₂等のガスを用いて、RIEによって、エッチバックする。エッチバックを行なう理由は、次のとおりである。すなわち、SOG層509は、通常のCVD法により形成された膜に比べて膜質が悪く、電気的な耐圧に劣ること、および膜よりガスの放出があり、溝内部以外の部分に形成されたSOG層509を除去する必要があるからである。

【0020】その後、再度、プラズマCVDにより、第1のシリコン酸化膜層510を形成することにより、A1配線間の第1の層間絶縁膜が形成される。

【0021】図16を参照して、同様の手順で、第2のA1配線511、A1配線間の第2の層間絶縁膜512を形成する。

【0022】次に、図17を参照して、A1配線間の第1の層間絶縁膜512の上に、第3のA1配線513を形成する。

【0023】次に、従来技術の問題点を説明する。図16および図17を参照して、SOGを用いる、A1配線間の層間絶縁膜の平坦化は、A1パターンの密なところの平坦化には有効であるが、A1パターンの粗なところでは、たとえば、図15に示す断面図において、D1の段差が生じる。さらに、上層A1配線およびA1配線間の層間絶縁膜を形成すると、図16に示すように、D2で示されるさらに大きな段差を生じる。このような大きな段差D2が生じたまま、上層のA1配線を形成した場合、図17に示す問題点を生じる。すなわち、図17を参照して、第3のA1配線513を形成した際に、段差部では、W層の残渣514が残ってしまう。残渣514は、配線間ショートを引起する。また、配線を形成するための写真製版時に、段差D2が焦点深度を超えると、図中参照番号515に示すようなパターン不良を引起する。

【0024】この発明は、上記のような問題点を解決するためになされたもので、平坦度が高く、高精度なパターンを有しつつ高信頼度を有する半導体装置を提供することを目的とする。

【0025】この発明の、他の目的は、そのような半導体装置の製造方法を提供することにある。

【0026】

【課題を解決するための手段】この発明の第1の局面に従う多層A1配線構造を有する半導体装置は、半導体基板を備える。上記半導体基板の上に第1のA1配線が設けられている。上記第1のA1配線を覆うように上記半導体基板の上に層間絶縁膜が設けられている。上記層間絶縁膜の上に、第2のA1配線が設けられている。上記層間絶縁膜は、上記第1のA1配線を被覆するように上

記半導体基板の上に設けられた第1のシリコン酸化膜と、上記第1のシリコン酸化膜の表面の凹部に埋込まれるように、上記第1のシリコン酸化膜の上に設けられた第2のシリコン酸化膜とからなる。上記層間絶縁膜の表面の上記半導体基板の表面からの高さは、1チップ内の全体にわたって、等しくされている。

【0027】この第1の局面に従う、多層A1配線構造を有する半導体装置によれば、層間絶縁膜の表面の上記半導体基板の表面からの高さが、1チップ内の全体にわたって、等しくされているので、平坦度が高く、高精度のパターンを有し、かつ高信頼度を有する半導体装置となる。

【0028】この発明の第2の局面に従う、多層A1配線構造を有する半導体装置の製造方法においては、まず、その上に第1のA1配線が設けられた半導体基板を準備する。上記第1のA1配線を覆うように上記半導体基板の上に、プラズマCVD法により、第1のシリコン酸化膜を形成する。上記第1のシリコン酸化膜の上にシリコンラダーポリマー膜を被覆する。上記シリコンラダーポリマー膜を上からプレスし、当該装置の表面を全体にわたって平坦にする。上記シリコンラダーポリマー膜を熱処理する。上記シリコンラダーポリマー膜を覆うように、上記半導体基板の上に第2のシリコン酸化膜を形成する。上記第2のシリコン酸化膜の上に第2のA1配線を形成する。

【0029】この発明の第2の局面に従う、多層A1配線構造を有する半導体装置の製造方法によれば、シリコンラダーポリマー膜を上からプレスし、当該装置の表面を全体にわたって平坦にするので、平坦度が高く、高精度のパターンを有し、かつ高信頼度を有する半導体装置が得られる。

【0030】

【発明の実施の形態】以下、この発明の実施の形態を図について説明する。

実施の形態1

図1は、この発明の実施の形態1における、多層A1配線構造を有する半導体装置の断面図である。なお、図1において、図9に示す従来の装置と重複する部分については、説明を繰り返さない。

【0031】図1を参照して、P型のシリコン基板1の主表面中に、活性領域を他の活性領域から分離するためのフィールド酸化膜2が設けられている。活性領域の上に、ゲート酸化膜104aと、ポリシリコンよりなるゲート電極104bを形成する。活性領域の表面中であって、ゲート電極104bの両側に、ヒ素やリンなどの不純物が注入された拡散層である、ソース／ドレイン領域103を形成する。ゲート電極104bおよびソース／ドレイン領域103の上には、電気的な抵抗を下げる目的で、自己整合的に形成されたT_iS_{i2}、C_OS_i、N_iS_i等からなるシリサイド層、いわゆるサリサイド

層105が形成されている。ゲート酸化膜104a、ゲート電極104b、ソース／ドレイン領域103、サリサイド層105により、メタル一オキサイドセミコンダクタ(MOS)トランジスタ3が形成される。

【0032】MOSトランジスタ3を覆うように、シリコン基板1の上に、たとえばBPSG等からなる層間絶縁膜4が形成される。層間絶縁膜4中に、ソース／ドレイン領域103の表面の一部を露出させるためのコンタクトホール5が形成されている。コンタクトホール5の内部壁面と底面に接触するように、高融点金属もしくはその複合膜(たとえば、TiN、TiW、Ti、W、WSi、MoSiおよびそれらの複合膜)よりなるパリアメタル105aが設けられている。パリアメタル105aを介在させて、ソース／ドレイン位103と接触するように、コンタクトホール5内に、タングステンプラグ6が埋込まれている。タングステンプラグ6に接触するように、第1のA1配線7aが、層間絶縁膜4の上に形成されている。第1のA1配線7a上には、写真製版時の乱反射を防止し、ひいては第1のA1配線7aの信頼性を向上させる目的で形成された、高融点金属もしくはその複合膜よりなる、反射防止膜106aが残っている。第1のA1配線7aは、通常Al-Cu、Al-Si-Cu、Al-Cu-Ti、Al-Si等のアルミニベースの二元系もしくは三元系の合金で形成される。第1のA1配線7aを被覆するように、層間絶縁膜4の上に、A1配線間の第1の層間絶縁膜(以下、第1のアルミ層間膜8aと略する)が形成されている。

【0033】第1のアルミ層間膜8aの構造およびその形成方法が、本発明の最も重要な特徴であるので、これについて詳述する。

【0034】図1を、参照して、第1のA1配線7aを被覆するように、たとえばプラズマCVD法により形成された第1のシリコン酸化膜107aが設けられている。第1のシリコン酸化膜107aの表面中に存在する凹部に、第2のシリコン酸化膜108aが埋込まれている。第2のシリコン酸化膜108aは、後述するように、シリコンラダーポリマー膜の塗布工程、プレス工程、および熱処理工程、CF₄を用いる反応性エッティング法を用いたエッチバック工程を経ることにより、形成される。これらの工程を経て形成された第2のシリコン酸化膜108aの表面と、第1のシリコン酸化膜107aの表面とは面一になっている。すなわち、図中参照符号Aで示す面は、1チップ内の全体にわたってほぼ平らにされている。

【0035】第2のシリコン酸化膜108aの中には、水素原子、低級アルキル基(たとえばメチル基、エチル基、プロピル基、ブチル基、アミル基)、ビニル基、アリル(allyl)基およびフェニル基の群より選ばれた基を、3～70モル%含む。

【0036】平坦化された面A上に、たとえばプラズマ

9

CVD法で形成された第3のシリコン酸化膜109aが設けられている。第1のシリコン酸化膜107a、第2のシリコン酸化膜108a、第3のシリコン酸化膜109aを積層することにより、第1のアルミ層間膜8aが形成されている。第1のアルミ層間膜8aの上にさらに、A1配線が3層形成されている。すなわち、図1に示す半導体装置は、第2のA1配線7b、第2のアルミ層間膜8b、第3のA1配線7c、第3のA1配線8c、第4のA1配線7dを備える。第2、第3および第4のA1配線7b、7c、7dは、第1のA1配線7aと同様の構造を有し、第2および第3のアルミ層間膜8b、8cは第1のアルミ層間膜8aと同様の構造を有している。第4のアルミ配線7d上に、保護膜として、プラズマCVD法により形成されたシリコン塗化膜9が形成されている。

【0037】以下に、本願発明に係る多層A1配線構造を有する半導体装置の製造方法について説明する。なお、従来の製造方法と同一の工程については、その説明を繰返さない。

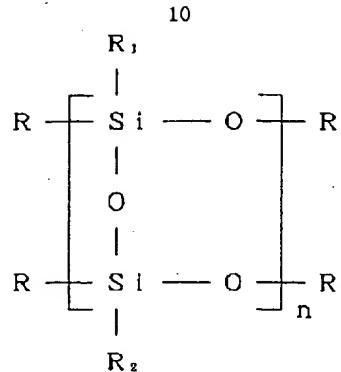
【0038】図2を参照して、所望のパターンを有する第1のA1配線7aを形成する。図3を参照して、第1のA1配線7aを被覆するように、層間絶縁膜4の上に、第1のシリコン酸化膜107aを、プラズマCVD法により形成する。第1のシリコン酸化膜107aは、テトラ・エチル・オルソシリケート(Si(OC₂H₅)₄:以下、TEOSと省略する)およびO₂(またはO₃)を用いたプラズマCVD法により形成される。TEOSが使用される理由は、CVD法にてシリコン酸化膜を形成する際に用いられる、シラン(SiH₄)とO₂の場合よりも、段差被覆性が良好なためである。第1のシリコン酸化膜107aの膜厚tは、第1のA1配線7aのパターンの形状により決定される。つまり第1のアルミ配線7a間の最小間隔をS_{min}とした場合、第1のシリコン酸化膜107aの膜厚tは、t≤1/2S_{min}であることが必要である。S_{min}=5000Åの場合、t≤2500Åとなる。この条件を満たさない場合、第1のシリコン酸化膜107aが上部で密着し、その結果、ボイドが生じる。

【0039】次に、第1のシリコン酸化膜107aの上に、塗布型のシリコンラーダーポリマー108a膜を形成する。シリコンラーダーポリマー膜108aは以下に示す化学構造式を有する。

【0040】

【化3】

10



【0041】上式中、R、R₁、R₂は、それぞれ、水素原子、低級アルキル基(たとえば、メチル、エチル、プロピル、ブチル、アミル基)、ビニル基、アリル基およびフェニル基からなる群より選ばれた基を表わしている。R、R₁、R₂は、同種のものであってもよいし、異種のものであってもよい。

【0042】整数nは、シリコンラーダーポリマーの重量平均分子量が2,000~200,000となるように選ばれている。重量平均分子量(Mw)が2,000未満では、熟処理後、塗布した膜中にクラックが発生しやすくなる。また、重量平均分子量が200,000を超える場合は、使用できる溶剤の種類が限られ、さらに、溶液粘度が高くなりやすく、扱い難くなる。

【0043】シリコンラーダーポリマー膜108aの膜厚は、下地段差以上の膜厚であれば、十分である。たとえば、最大下地段差Tが5,000Åであれば、シリコンラーダーポリマー膜108aの膜厚は5,000Åあれば十分である。

【0044】図4を参照して、形成されたシリコンラーダーポリマー膜108aの上より、平坦なプレートにて、シリコンラーダーポリマー膜108aをプレスする。プレスする圧力は0.1kgf/cm²~900kgf/cm²が好ましい。プレス圧力が、0.1kgf/cm²以下であれば、十分な平坦性が得られない。また、プレス圧力が300kgf/cm²以上では、下層のA1配線の降伏応力を超えるため、A1配線に大きなダメージが及ぶ。

【0045】プレスと同時に350℃~500℃の熱処理を行ない、シリコンラーダーポリマー膜108aの熱硬化処理を行なう。350℃以下の温度では、シリコンラーダーポリマーは十分に硬化せず、溶剤の成分(たとえばアニソール、トルエン等)が残留してしまう。また、500℃以上の温度で熱処理を行なった場合、シリコンラーダーポリマーが熱分解を起こす。

【0046】なお、本発明の実施の形態においては、プレスと同時に熱処理を行なう場合について述べたが、熱処理は後に行なってもよいし、また複数回行なってもよい。

【0047】さらにプレスを複数回行なうことも可能で

ある。プレスをするプレート面は表面をフッ素系樹脂(たとえばテフロンなど)で被覆されていることが望ましい。これはフッ素系樹脂が高温に耐えること、およびプレス後のシリコンラダーポリマー膜との剥離性が、極めて良好なためである。このプレス工程を行なうことにより、ウェハ表面上は、シリコンラダーポリマー膜 $108\text{ }\mu\text{m}$ により、完全に平坦化される。これは、シリコンラダーポリマーが 500°C 以下の熱処理では、体積収縮率がほぼ0%であることに起因する。

【0048】図5を参照して、平坦化されたシリコンラダーポリマー膜 $108\text{ }\mu\text{m}$ を、 $\text{CF}_4 + \text{CHF}_3 + \text{O}_2$ 等のガスを用いるRIEにより、エッチバックする。これは、後工程の、ピアホールの開口の際、ピアホール側面に、シリコンラダーポリマー膜 $108\text{ }\mu\text{m}$ がなるべく露出しないようにするためである。これは、ピアホールの開口の際にシリコンラダーポリマー膜を露出させないほうが、良好なピアホールコンタクトを取る上でも、またピアホールの信頼性上のマージンを上げる上でも有効であることに基づく。ただし、このエッチバック工程を省略することも可能である。

【0049】図5を参照して、TEOSを用いたプラズマCVD法等により、シリコン酸化膜 $109\text{ }\mu\text{m}$ を形成する。これによって、第1のアルミ層間膜 $8\text{ }\mu\text{m}$ が完成す

る。

【0050】なお、第1のアルミ層間膜 $8\text{ }\mu\text{m}$ の形成工程において、エッチバックにより、わずかな絶対段差 D_1 ができるが、シリコンラダーポリマー膜 $108\text{ }\mu\text{m}$ と、第1のシリコン酸化膜膜 $107\text{ }\mu\text{m}$ のエッティングレート同じにすれば、絶対段差 D_1 はほぼ0となる。

【0051】図6を参照して、第1のピアホールおよび第2のA1配線 $7\text{ }\mu\text{m}$ 、第2のアルミ層間膜 $8\text{ }\mu\text{m}$ を、同様に形成する。このとき生じる絶対値段差 D_2 も、ほとんど0にすることができる。

【0052】図7を参照して、以下同様に、第3のA1配線 $7\text{ }\mu\text{m}$ 、第3のアルミ層間膜 $8\text{ }\mu\text{m}$ を平坦性よく形成することができる。

【0053】図には示していないが、この発明の実施の形態に従って、第4層および第5層A1配線およびアルミ層間膜も、平坦性よく形成することができる。

【0054】なお、保護膜の形成に関しては従来の方法と同一であるため、その説明を繰り返さない。

【0055】次に、上述したシリコンラダーポリマーのうち、本発明において、好ましく実施できるものを、表1に整理する。

【0056】

【表1】

	R ₁ , R ₂	R	n
具体例1	フェニル(Ph)	水素	Mwが150000となる整数
具体例2	フェニル(Ph)	メチル	Mwが150000となる整数
具体例3	フェニル(Ph)	エチル	Mwが150000となる整数
具体例4	メル(Me)	水素	Mwが80000となる整数
具体例5	メル(Me)	メチル	Mwが80000となる整数
具体例6	メル(Me)	エチル	Mwが80000となる整数
具体例7	水素(H)	水素	Mwが20000となる整数
具体例8	水素(H)	メチル	Mwが20000となる整数
具体例9	水素(H)	エチル	Mwが20000となる整数
具体例10	プロピル	水素	Mwが150000となる整数
具体例11	プロピル	メチル	Mwが150000となる整数
具体例12	プロピル	エチル	Mwが150000となる整数
具体例13	Ph/Me=1/1	水素	Mwが10000となる整数
具体例14	Ph/Me=1/2	水素	Mwが10000となる整数
具体例15	Ph/Me=1/4	水素	Mwが10000となる整数
具体例16	ビニル/Ph=1/10	水素	Mwが80000となる整数
具体例17	ビニル/Ph=1/10	ビニル	Mwが80000となる整数

【0057】実施の形態2

図8は、本発明を適用したダイナミックランダムアクセスメモリ(以下、DRAMと略す)の断面図である。

【0058】図8中、参照符号Aで示した領域は、メモリセル部分を表わしており、参照符号Bで示した領域は50周辺回路部を表わしている。ポリシリコンからなる電極

301はメモリセル内でワード線となる。ストレートノード302は、ポリシリコンからなる。キャパシタ絶縁膜303は、SiO₂、SiON、Si₃N₄またはTa₂O₅等に代表される高誘電体よりなる。セルプレート304は、ポリシリコンよりなる。ストレートノード300とキャパシタ絶縁膜303とセルプレート304とから、キャパシタが形成される。ビット線305は、ポリシリコンおよび金属シリサイドの複合膜よりなる。

【0059】本発明の実施の形態におけるDRAMは、第1のA1配線7aと第2のA1配線7bを含む。第2のA1配線7bは、アルミ層間膜8aの上に形成されている。アルミ層間膜8aは、図1に示した半導体装置の中のアルミ層間膜8aと同一の構造である。アルミ層間膜8aの表面の、シリコン基板101の表面からの高さは、1チップ内の全体にわたって等しくされている。第2のアルミ配線7bの上に、Si₃N₄等よりなる保護膜9が形成されている。

【0060】DRAMにおいては、特に、メモリセル部と周辺回路部との境界において、大きな段差ができやすい。本発明の実施の形態においては、低くなっている部分を埋むように、シリコンラグ一膜を形成し、これを上からプレス処理して、アルミ層間膜8aを形成している。したがって、平坦度が高く、高精度のパターンを有し、かつ高信頼度を有するDRAMを得ることができると。

【図面の簡単な説明】

【図1】 実施の形態1に係る、多層A1配線構造を有する半導体装置の断面図である。

【図2】 実施の形態1に係る、半導体装置の製造方法の順序の第1の工程における半導体装置の部分断面図である。

【図3】 実施の形態1に係る、半導体装置の製造方法の順序の第2の工程における半導体装置の部分断面図である。

【図4】 実施の形態1に係る、半導体装置の製造方法

の順序の第3の工程における半導体装置の部分断面図である。

【図5】 実施の形態1に係る、半導体装置の製造方法の順序の第4の工程における半導体装置の部分断面図である。

【図6】 実施の形態1に係る、半導体装置の製造方法の順序の第5の工程における半導体装置の部分断面図である。

【図7】 実施の形態1に係る、半導体装置の製造方法の順序の第6の工程における半導体装置の部分断面図である。

【図8】 実施の形態2に係る、ダイナミックランダムアクセスメモリの部分断面図である。

【図9】 従来の、多層A1配線構造を有する半導体装置の断面図である。

【図10】 従来の半導体装置の製造方法の順序の第1の工程における半導体装置の部分断面図である。

【図11】 従来の半導体装置の製造方法の順序の第2の工程における半導体装置の部分断面図である。

【図12】 従来の半導体装置の製造方法の順序の第3の工程における半導体装置の部分断面図である。

【図13】 従来の半導体装置の製造方法の順序の第4の工程における半導体装置の部分断面図である。

【図14】 従来の半導体装置の製造方法の順序の第5の工程における半導体装置の部分断面図である。

【図15】 従来の半導体装置の製造方法の順序の第6の工程における半導体装置の部分断面図である。

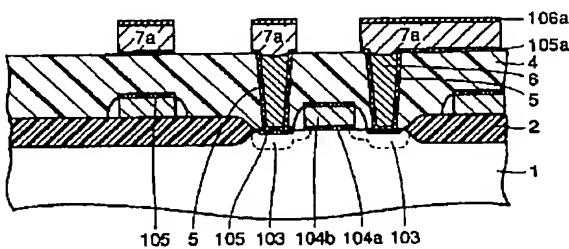
【図16】 従来の半導体装置の製造方法の順序の第7の工程における半導体装置の部分断面図である。

【図17】 従来の半導体装置の製造方法の順序の第8の工程における半導体装置の部分断面図である。

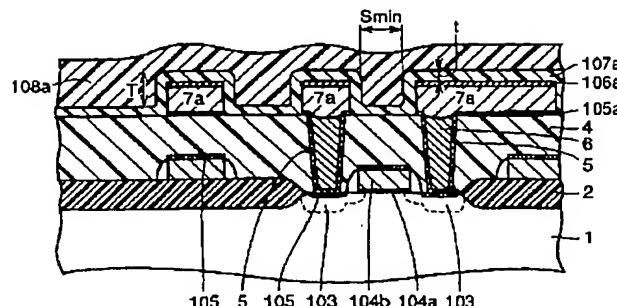
【符号の説明】

- 半導体基板、7a 第1のA1配線、7b 第2のA1配線、8a 層間絶縁膜、107a 第1のシリコン酸化膜、108a 第2のシリコン酸化膜。

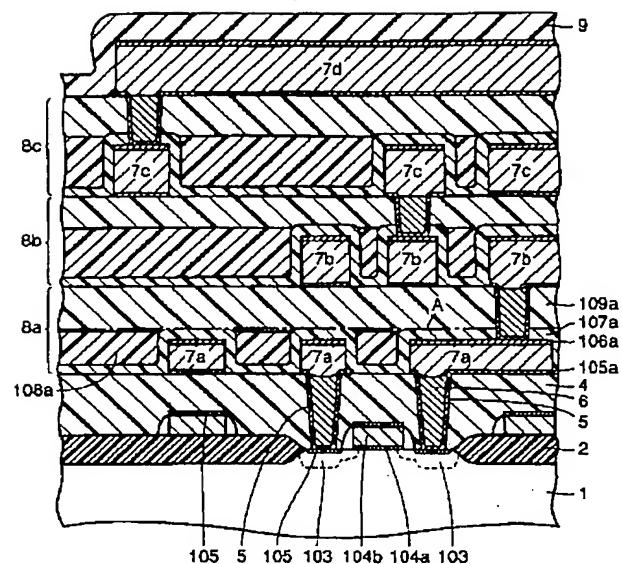
【図2】



【図3】

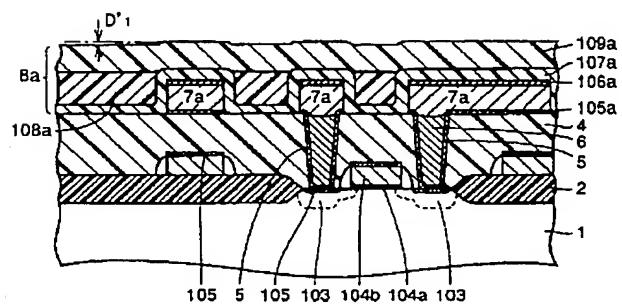


【図1】

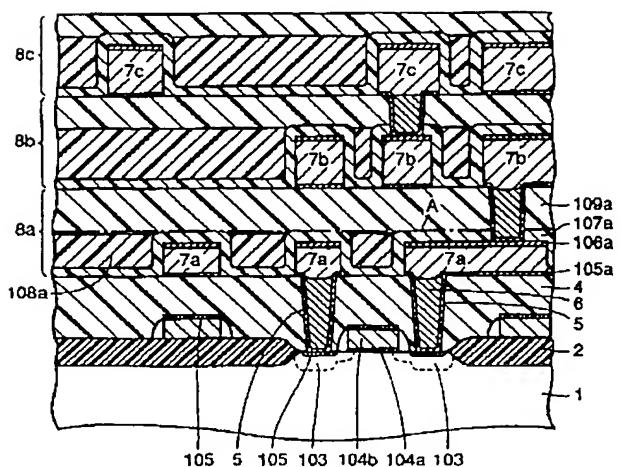


1:半導体基板 7a:第1ヶA2酸化膜 7b:第2ヶA2酸化膜
8a:層間絶縁膜 107a:第1ヶシリコン酸化膜
108a:第2ヶシリコン酸化膜

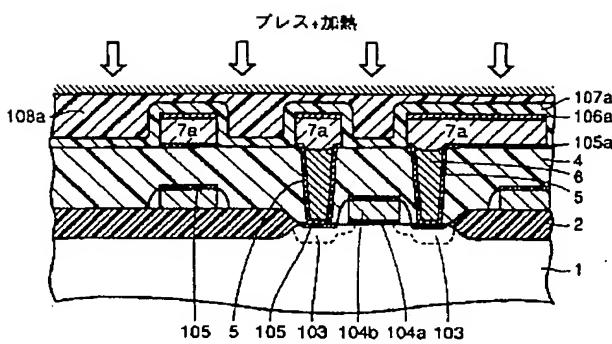
【図5】



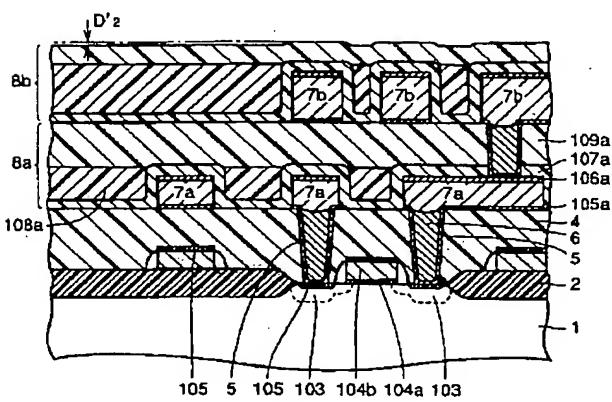
【図7】



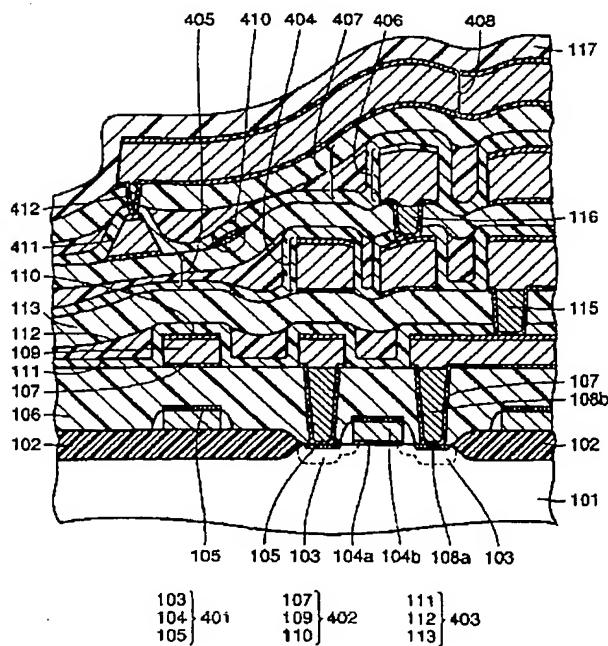
【図4】



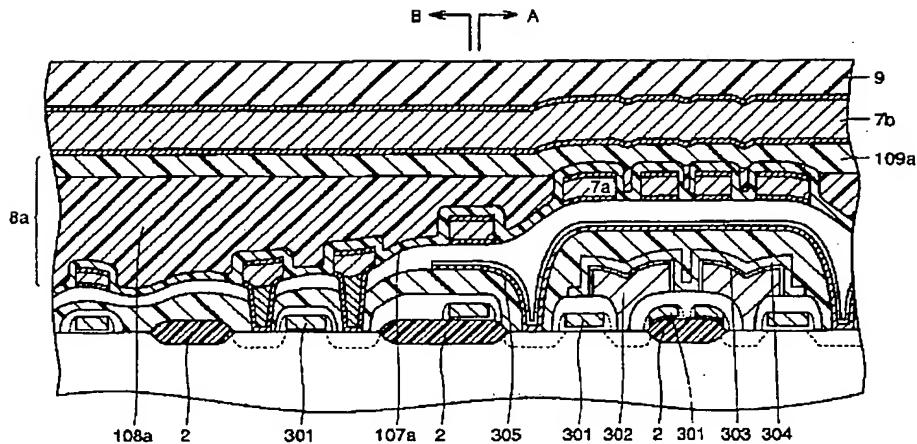
【図6】



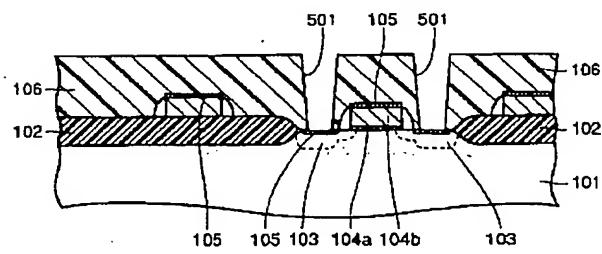
【図9】



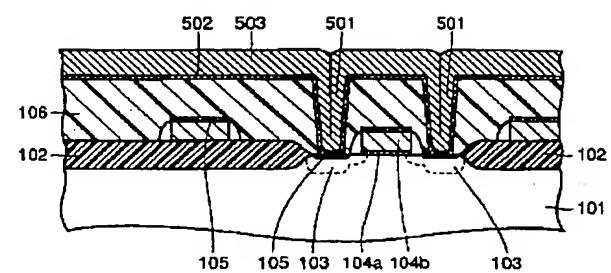
【図 8】



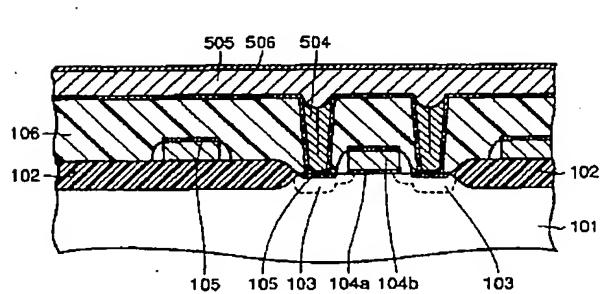
【図 10】



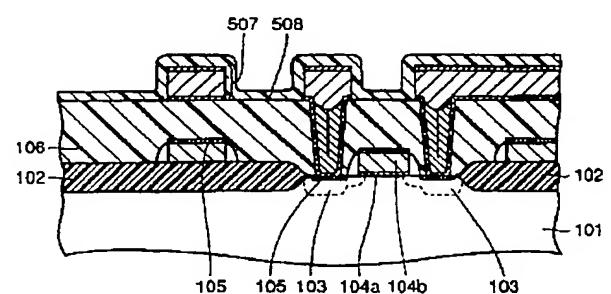
【図 11】



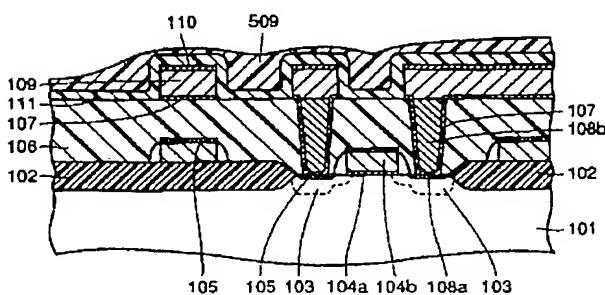
【図 12】



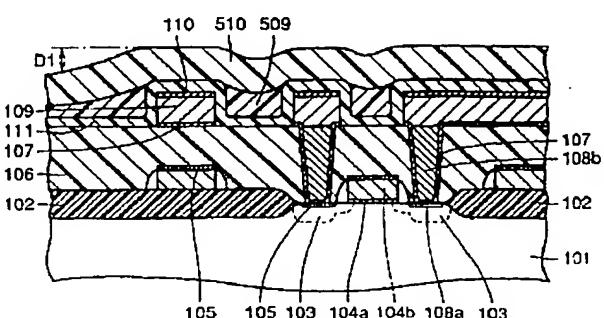
【図 13】



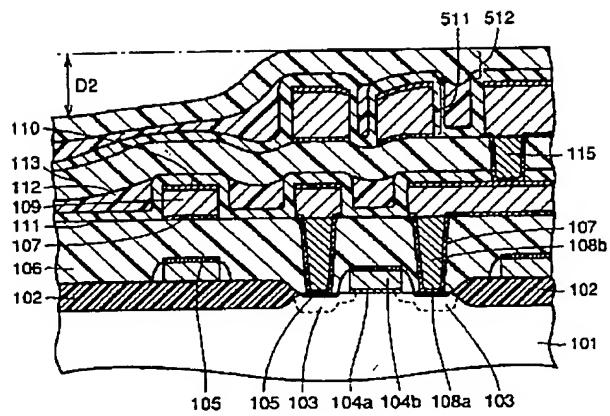
【図 14】



【図 15】



【図16】



【図17】

